

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008643

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H04L 12/42  
H04L 7/00

(21)Application number : 09-172736

(71)Applicant : NEC CORP

(22)Date of filing : 16.06.1997

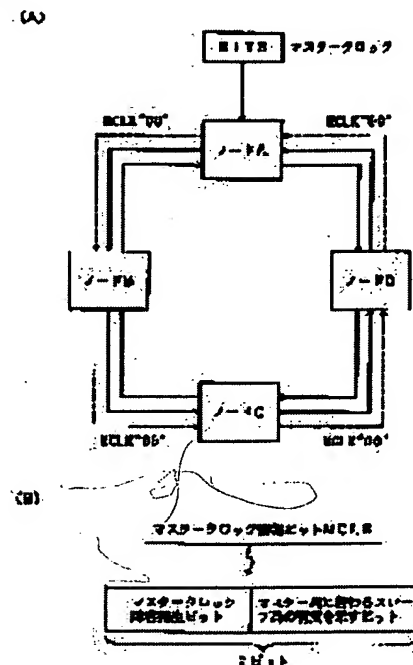
(72)Inventor : MATSUMOTO YUZO

## (54) TIMING SOURCE CHANGEOVER METHOD AND SYSTEM THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the timing source changeover method and system by which a load of a network is relieved in the case of establishing network synchronization and production of a timing loop is prevented even on the occurrence of a fault in a master clock.

**SOLUTION:** In a synchronization network where pluralities of nodes are connected in a loop and the synchronization is established by the master/slave synchronization system, a node A being a master station transmits a 2-bit information block including information denoting whether or not a master clock for supplying timing information is normal. Each slave station discriminates whether or not its own station is changed into a master station in the case that the 2-bit information block denotes production of a fault of the master clock, transmits a 2-bit information block including information denoting it when the slave station is changed into the master station, and transmits the received information block as it is when the slave station cannot be changed into the master station. A timing source of the synchronization network is switched according to the information included in the information block returned to the master station through the synchronization network.



## LEGAL STATUS

[Date of request for examination] 16.06.1997

[Date of sending the examiner's decision of rejection] 13.06.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-8643

(43)公開日 平成11年(1999) 1月12日

(51)Int.Cl.<sup>9</sup>

H 0 4 L 12/42  
7/00

識別記号

F I

H 0 4 L 11/00  
7/00

3 3 0

B

審査請求 有 請求項の数9 F D (全 7 頁)

(21)出願番号 特願平9-172736

(22)出願日 平成9年(1997) 6月16日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松本 有造

東京都港区芝五丁目7番1号 日本電気株  
式会社内

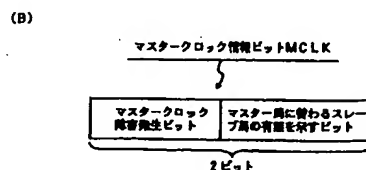
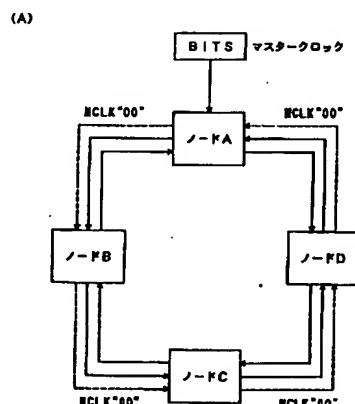
(74)代理人 弁理士 桂木 雄二

(54)【発明の名称】 タイミングソース切替方法及びシステム

(57)【要約】

【課題】 ネットワーク同期を確立する際のネットワークの負荷を軽減すると共に、マスタクロックの障害が発生した場合であってもタイミングループの発生を防止できるタイミングソース切替方法及びシステムを提供する。

【解決手段】 複数のノードがループ状に接続され、マスタ/スレーブ同期方式により同期を確立する同期網において、マスタ局は同期網にタイミングを供給するマスタクロックが正常であるか否かを示す情報を含む2ビット情報ブロックを予め定められた周期で送信する。各スレーブ局は、2ビット情報ブロックがマスタクロックの障害発生を示す場合には自局がマスタ局に替わりうるか否かを判定し、マスタ局に替わりうる場合にはその旨を示す情報を含む2ビット情報ブロックを送信し、マスタ局に替わり得ない場合には受信した情報ブロックをそのまま送信する。同期網を通してマスタ局に戻ってきた情報ブロックに含まれる情報に従って同期網のタイミングソースを切り替える。



## 【特許請求の範囲】

【請求項1】 複数のノードがループ状に接続され、マスタ/スレーブ同期方式により同期を確立する同期網において、

マスタ局は、前記同期網のタイミングを供給するマスタクロックが正常であるか否かを示す情報を含む第1情報ブロックを予め定められた周期で送信し、

各スレーブ局は、前記第1情報ブロックが前記マスタクロックの障害発生を示す場合には自局がマスタ局に替わりうるか否かを判定し、マスタ局に替わりうる場合にはその旨を示す情報を含む第2情報ブロックを送信し、マスタ局に替わり得ない場合あるいは前記第2情報ブロックを受信した場合には受信した情報ブロックをそのまま送信し、

前記同期網を通して前記マスタ局に戻ってきた情報ブロックに含まれる情報に従って、前記同期網のタイミングソースを切り替える、

ことを特徴とするタイミングソース切替方法。

【請求項2】 前記第1及び第2情報ブロックは共に2ビットの情報ブロックからなり、その第1ビットは前記マスタクロックが正常であるか否かを示す情報であり、第2ビットは前記スレーブ局がマスタ局に替わりうるか否かを示す情報である、ことを特徴とする請求項1記載のタイミングソース切替方法。

【請求項3】 前記スレーブ局は、前記同期網のラインから抽出したクロックの品質が自局内部のクロックの品質より低い場合には、自局がマスタ局に替わりうると判定し、前記ラインから抽出したクロックの品質が自局内部のクロックの品質より高い場合には、自局がマスタ局に替わることができないと判定する、ことを特徴とする請求項1又は2記載のタイミングソース切替方法。

【請求項4】 複数のノードがループ状に接続され、マスタ/スレーブ同期方式により同期を確立する同期網において、

マスタ局は、

前記同期網のタイミングを供給するマスタクロックが正常であるか否かを監視するモニタ手段と、

前記マスタクロックが正常であるか否かを示す情報を含む第1情報ブロックを生成し、予め定められた周期で送信する通知手段と、

前記同期網を通して前記マスタ局に戻ってきた情報ブロックに含まれる情報に従って、前記同期網のタイミングソースを切り替える切替手段と、

からなり、

各スレーブ局は、

前段のノードから情報ブロックを受信する受信手段と、

前記第1情報ブロックが前記マスタクロックの障害発生を示す場合には自局がマスタ局に替わりうるか否かを判定する判定手段と、

マスタ局に替わりうる場合にはその旨を示す情報を含む

第2情報ブロックを送信し、マスタ局に替わり得ない場合あるいは前記第2情報ブロックを受信した場合には受信した情報ブロックをそのまま送信する送信手段と、

からなる、

ことを特徴とするタイミングソース切替システム。

【請求項5】 前記第1及び第2情報ブロックは共に2ビットの情報ブロックからなり、その第1ビットは前記マスタクロックが正常であるか否かを示す情報であり、第2ビットは前記スレーブ局がマスタ局に替わりうるか否かを示す情報である、ことを特徴とする請求項4記載のタイミングソース切替システム。

【請求項6】 前記スレーブ局は、前記同期網のラインから抽出したクロックの品質が自局内部のクロックの品質より低い場合には、自局がマスタ局に替わりうると判定し、前記ラインから抽出したクロックの品質が自局内部のクロックの品質より高い場合には、自局がマスタ局に替わることができないと判定する、ことを特徴とする請求項4又は5記載のタイミングソース切替システム。

【請求項7】 複数のノードがループ状に接続され、マスタ/スレーブ同期方式により同期を確立する同期網において、前記同期網のタイミングを供給するマスタクロックが正常であるか否かを示す情報を含む第1情報ブロックを予め定められた周期で送信する送信処理と、前記同期網を通して前記マスタ局に戻ってきた情報ブロックに含まれる情報に従って、前記同期網のタイミングソースを切り替える切替処理と、を前記マスタ局のプロセッサに実行させるプログラムと、

前記第1情報ブロックが前記マスタクロックの障害発生を示す場合には自局がマスタ局に替わりうるか否かを判定する判定処理と、マスタ局に替わりうる場合にはその旨を示す情報を含む第2情報ブロックを送信し、マスタ局に替わり得ない場合あるいは前記第2情報ブロックを受信した場合には受信した情報ブロックをそのまま送信する送信処理と、を複数のスレーブ局のプロセッサに実行させるプログラムと、

を記録したことを特徴とする記録媒体。

【請求項8】 複数のノードがループ状に接続され、マスタ/スレーブ同期方式により同期を確立する同期網において、前記同期網のタイミングを供給するマスタクロックが正常であるか否かを示す情報を含む第1情報ブロックを予め定められた周期で送信する送信処理と、前記同期網を通して前記マスタ局に戻ってきた情報ブロックに含まれる情報に従って、前記同期網のタイミングソースを切り替える切替処理と、を前記マスタ局のプロセッサに実行させるプログラムを記録したことを特徴とする記録媒体。

【請求項9】 複数のノードがループ状に接続されたマスタ/スレーブ同期方式の同期網であって、マスタ局は前記同期網にタイミングを供給するマスタクロックが正常であるか否かを示す情報を含む第1情報ブロックを予

め定められた周期で送信し、前記同期網を通して前記マスタ局に戻ってきた情報ブロックに含まれる情報に従って前記同期網のタイミングソースを切り替える同期網において、

前記第1情報ブロックが前記マスタクロックの障害発生を示す場合には自局がマスタ局に替わりうるか否かを判定する判定処理と、マスタ局に替わりうる場合にはその旨を示す情報を含む第2情報ブロックを送信し、マスタ局に替わり得ない場合あるいは前記第2情報ブロックを受信した場合には受信した情報ブロックをそのまま送信する送信処理と、を複数のスレーブ局のプロセッサに実行させるプログラムを記録したことを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマスタ局と複数のスレーブ局とからなるループ状のネットワークシステムに係り、特にネットワーク同期のためのクロック供給の切替に関する。

【0002】

【従来の技術】同期が確立したデジタルネットワークでは、同期多重、クロスコネク、あるいは時分割交換などネットワークの運用性を飛躍的に向上させる機能を実現することができるために、ネットワークの同期をどのように実現するかは非常に重要な技術である。このために、ネットワーク同期のためのクロックをどのようにデジタルネットワークに供給するかについては従来より種々の方式が提案されており、その1つとして従属同期方式（マスタ/スレーブ同期方式）がある。

【0003】SONET（Synchronous Optical Network）システムでは、マスタ局が各タイミングレファレンス（Timing Reference）のうち最も高いクオリティレベルQ L（Quality Level）を4ビットの情報フレームとして隣接スレーブ局へ送信する。この情報フレームを同期メッセージバイト（Sync Message Byte）という。スレーブ局がこの同期メッセージバイトを受信すると、スレーブ局内で最も高いクオリティレベルQ Lのタイミングレファレンスを装置内クロックとし、受信した同期メッセージバイトを更に隣接局へ転送する。こうして同期メッセージバイトがリングネットワークを一巡することでネットワークの同期が確立する。なお、最も高いクオリティレベルQ Lのタイミングレファレンスが複数存在する場合には、その中で最も高い優先レベルP L（Priority Level）を有するタイミングレファレンスを選択する。

【0004】また、同期メッセージバイトを使用しないで独自のフレームを伝送してネットワーク同期を確立する技術が特開平6-21955号公報に開示されている。この技術では、リングネットワークの各ノードにマスタ局となる順番（クロック優先順位）を予め定めてお

く。そして、各ノードは自局のクロック優先順位を示す情報フレームを送信し、受信した優先順位と自局の優先順位とを比較して、自局の優先順位が高ければマスタ局となり、低ければスレーブ局となってネットワークの同期が確立される。

【0005】

【発明が解決しようとする課題】しかしながら、特開平6-21955号公報に開示された方式では、ネットワークノード数が多い場合、優先順位を示す情報フレームのフレーム長が長くなり、ネットワークの負荷が大きくなると言う問題を有する。更に、この方式では、独自のフレームフォーマットをヘッダとして装置内クロックを決定するために、既存のSONET網で使用することができない。

【0006】他方、SONET網の方式では、自局のクロックをマスタクロックにするべきかラインからクロックを抽出するべきかを判断する情報が不足しているために、タイミングループに陥る場合がある。より詳しく言えば、マスタクロックに障害が発生した場合には内部クロックよりもラインからのクロックの方がクオリティレベルQ Lが高い。このために、クオリティレベルQ L及び優先レベルP Lの判定のみで装置内クロックを決定すると、ラインから抽出されたクロックが選択され、リングネットワーク全体がタイミングループ状態に陥ってしまう。タイミングループになると、マスタクロックが存在しないためにクロックの波形が徐々に悪化し、最終的にはデータ通信が不能となる。

【0007】そこで、本発明の目的は、ネットワーク同期を確立する際のネットワークの負荷を軽減するタイミングソース切替方法及びシステムを提供することにある。

【0008】本発明の他の目的は、マスタクロックの障害が発生した場合であっても、タイミングループの発生を防止できるリングネットワークシステムの同期確立方法を提供することにある。

【0009】

【課題を解決するための手段】本発明によるタイミングソース切替方法及びシステムは、複数のノードがループ状に接続され、マスタ/スレーブ同期方式により同期を確立する同期網において、マスタ局は、前記同期網のタイミングを供給するマスタクロックが正常であるか否かを示す情報を含む第1情報ブロックを予め定められた周期で送信し、各スレーブ局は、前記第1情報ブロックが前記マスタクロックの障害発生を示す場合には自局がマスタ局に替わりうるか否かを判定し、マスタ局に替わりうる場合にはその旨を示す情報を含む第2情報ブロックを送信し、マスタ局に替わり得ない場合あるいは前記第2情報ブロックを受信した場合には受信した情報ブロックをそのまま送信し、前記同期網を通して前記マスタ局に戻ってきた情報ブロックに含まれる情報に従って、前

記同期網のタイミングソースを切り替える、ことを特徴とする。

【0010】第1及び第1情報ブロックは、マスタクロックが正常であるか否かを示す情報あるいはスレーブ局がマスタ局に替わりうるか否かを示す情報を含む情報ブロックであればよいから、2ビットの情報量だけで本発明のタイミングソース切替のための十分な情報を提供することができる。

【0011】

【実施の形態】図1(A)は本発明によるタイミングソース切替方法の一実施形態を適用したリングネットワークシステムの概略的構成図であり、同図(B)は本実施形態で使用されるマスタクロック情報ビットのフォーマット図である。ただし、説明を簡略化するために、4つのノードA、B、C及びDからなる双方向リングネットワークを考え、ノードAをマスタ局、他のノードをスレーブ局と仮定する。

【0012】図1(A)に示すようなリングネットワークにおいて、マスタ局であるノードAは定期的にマスタクロック情報ビットMCLKを隣接するノードB及びノードDへ送信する。マスタクロック情報ビットMCLKは、図1(B)に示すように、2ビットの情報を含み、第1ビットはマスタクロックに障害が発生したか否かを示し、第2ビットはマスタ局に替わりうるスレーブ局の有無を示す。

【0013】図1(A)には、マスタクロックが正常である場合のマスタクロック情報ビットMCLKの転送状態が示されている。マスタクロックが正常であれば第1ビットが"0"であるから、マスタクロック情報ビットMCLK"00"がノードAから定期的に送信される。スレーブ局では、後述するように、マスタクロック情報ビットMCLKの第1ビットが"0"であれば、マスタクロック情報ビットMCLKをそのまま後段のノードへ転送する。従って、マスタクロックが正常であれば、マスタ局のノードAには送信時と同じマスタクロック情報ビット"00"が戻ってくる。

【0014】図2はマスタノードの内部機能構成の一例を示す概略的ブロック図である。受信部101はネットワークのラインから反時計回りの信号を受信し、その受信信号はスイッチ102に取り込まれる。また、スイッチ102から出力した反時計回りの信号は送信部103からネットワークへ送出される。逆に、時計回りの信号は受信部104によって受信され、スイッチ102によって取り込まれ、スイッチ102から出力した時計回りの信号は送信部105からネットワークへ送出される。クロック抽出部106及び107は反時計回り及び時計回りのラインからクロックをそれぞれ抽出し、プロセッサ108へ出力する。

【0015】プロセッサ108は、リードオンリメモリ(ROM)109に格納されたプログラムに従って、タ

イミングレファレンスの選択あるいはタイミングソースの切替やスイッチ102の切替等の制御を行う。例えば、プロセッサ108は、スイッチ102を制御して受信信号をそのまま送信信号として隣接ノードへ転送したり、受信信号を取り込んで後述するようなタイミングソース切替動作を実行したりする。更に、プロセッサ108はマスタクロック生成部110の障害発生の有無を監視し、その監視結果に従ってマスタクロック情報生成部111及び112を制御する。マスタクロック情報生成部111及び112は、プロセッサ108の制御の下で、マスタクロック情報ビットMCLKを生成し、反時計回り及びノ又は時計回りのラインへ所定周期でそれぞれ送出する。

【0016】ただし、マスタクロック情報生成部111及び112をプロセッサ108によりプログラム制御により実現してもよい。また、マスタクロック生成部110は、マスタ局に設けられたクロック供給源でもよいし、外部から供給されるものであってもよい。

【0017】なお、図2ではマスタ局となるノードの内部構成を示したが、スレーブ局となるノードも基本的には図2に示す構成と同様であり、ROM109に格納されたプログラムに従って、プロセッサ108がスレーブ局としての動作制御を行う。以下、説明を簡略化するために反時計回りの信号に注目して本実施形態の動作を詳細に説明する。

【0018】図3は本実施形態におけるマスタ局の制御を示すフローチャートである。プロセッサ108がマスタクロックの障害を検出しない場合には(ステップS201のNO)、上述したようにマスタクロック情報生成部111はマスタクロック情報ビットMCLK"00"を生成し、送信部103によって反時計回りラインへ送出する。マスタクロックに障害が発生すると(ステップS201のYES)、プロセッサ108はマスタクロック情報生成部111を制御してマスタクロック情報ビットMCLK"10"を生成し、送信部103によって反時計回りに送信すると共に、タイミングレファレンスをホールドオーバに変更する(ステップS203)。そして、マスタクロック情報ビットMCLKの受信待ち状態となる(ステップS204)。

【0019】受信部101からマスタクロック情報ビットMCLK"10"あるいは"01"を受信すると(ステップS204のYES)、プロセッサ108は障害発生時に送信したマスタクロック情報ビットMCLK"10"がネットワークを一巡したことを確認し、次のように装置内クロックを決定する。受信したマスタクロック情報ビットMCLKが"01"であれば(ステップS205のYES)、第2ビットが"1"であるから、リングネットワーク内にマスタ局になれるスレーブ局が存在すると判断し、クオリティレベルQL及び優先レベルPLの判定に従ってクロックを決定する(ステップS20

6)。ここでは、マスタクロックに障害が発生しているから、クロック抽出部106によってラインからクロックが取り込まれることになる。他方、受信したマスタクロック情報ビットMCLKが"10"である場合には(ステップS205のNO)、プロセッサ108はスレーブ局の中にマスタ局に替わりうる局が存在しないと判断し、自局のクロックをマスタクロックに決定する。即ち、プロセッサ108はタイミングレファレンスをフリーランに変更し、マスタクロック情報ビットMCLKを"10"から"00"へ変更する(ステップS207)。

【0020】図4は本実施形態におけるスレーブ局の制御を示すフローチャートである。ここでは、スレーブ局が図2の内部構成を有するものとして説明する。先ず、マスタ局が送信したマスタクロック情報ビットMCLK"00"を受信すると(ステップS301のYES)、プロセッサ108はスイッチ102を制御して受信したマスタクロック情報ビットMCLK"00"をそのまま送信部103へ出力し、反時計方向のラインへ送信する(ステップS302)。

【0021】受信したマスタクロック情報ビットMCLKが"10"であれば(ステップS301のNO、S303のYES)、マスタクロックに障害が発生したことを示すから、プロセッサ108は自局がマスタ局に替わるかどうかをラインからのクロックのクオリティレベルQLとその他のタイミングレファレンスのQLとを比較することで判断する(ステップS304)。ラインのQLがその他のタイミングレファレンスのQLより低い場合には(ステップS304のYES)、自局がマスタ局に替わると判断し、受信したマスタクロック情報ビット"10"を"01"に変更し、マスタ局に替わりうるスレーブ局が存在することを示すマスタクロック情報ビット"10"を送信部103から反時計方向に送信する(ステップS305)。そして、ラインのQLがその他のタイミングレファレンスのQLより高い場合には(ステップS304のNO)、自局がマスタ局に替わることができないと判断し、受信したマスタクロック情報ビット"10"をそのまま送信部103から反時計方向に送信する(ステップS306)。

【0022】受信したマスタクロック情報ビットMCLKが"01"であれば(ステップS303のNO、S307のYES)、上述したようにマスタクロックに障害が発生し且つマスタ局に替わりうるスレーブ局がすでに存在していることを示すから、プロセッサ108は受信したマスタクロック情報ビット"01"をそのまま送信部103から反時計方向に送信する(ステップS308)。ステップ301、303及び307で説明したように、プロセッサ108は受信したマスタクロック情報ビットの第1ビットのみを注目し、第1ビットが"0"である場合には常時受信したマスタクロック情報ビット

をそのまま送信部103から反時計方向に送信し、第1ビットが"1"である場合には自局がマスタ局に替わることができるか否かを判断する。

【0023】図5は、マスタ局に替わりうるスレーブ局が存在しない場合のマスタクロック情報ビットMCLKの伝送状態を示す本実施形態の動作説明図である。マスタクロックに障害が発生すると、マスタ局のノードAはマスタクロック情報ビットMCLK"10"を反時計回りの隣接ノードB及び又は時計回りの隣接ノードDへ送信する。各スレーブ局のノードB、CあるいはDでは、上述したように、自局がマスタ局に替わりうるか否かを判定し、マスタ局に替わることができない場合には、受信したマスタクロック情報ビットMCLK"10"をそのまま隣接ノードへ転送する。従って、マスタ局に替わりうるスレーブ局がネットワークに存在しない場合には、マスタ局のノードAは送信したマスタクロック情報ビットMCLKと同じ情報ビット"10"を受信し、上述したようにラインからのクロックを装置内クロックとして決定する。

【0024】図6は、マスタ局に替わりうるスレーブ局が存在する場合のマスタクロック情報ビットMCLKの伝送状態を示す本実施形態の動作説明図である。マスタクロックに障害が発生すると、マスタ局のノードAはマスタクロック情報ビットMCLK"10"を反時計回りの隣接ノードB及び又は時計回りの隣接ノードDへ送信する。各スレーブ局のノードB、CあるいはDでは、上述したように、自局がマスタ局に替わりうるか否かを判定し、マスタ局に替わることができない場合には受信したマスタクロック情報ビットMCLK"10"をそのまま隣接ノードへ転送し、マスタ局に替わることができる場合にはマスタクロック情報ビットMCLK"01"を隣接ノードへ送信する。ここでは、ノードCがマスタ局に替わることができる場合が示されている。即ち、ノードCは、マスタクロック情報ビットMCLK"10"を受信して、マスタクロック情報ビットMCLK"01"をノードDへ送信する。ノードDはマスタクロック情報ビットMCLK"01"をそのまま転送するから、マスタ局のノードAはマスタクロック情報ビットMCLK"01"を受信し、上述したように、ネットワークにマスタ局に替わりうるノードが存在することを認識する。

【0025】装置内クロックは、すでに述べたように、複数のタイミングレファレンスの中で最も高いクオリティレベルQLを有するタイミングレファレンスを採用することで決定される。マスタ局で決定した装置内クロックのQLは、隣接局へ送信され、隣接局では、受信したQLと内部クロックのタイミングレファレンスのQLとを比較し、最も高いQLを有するタイミングレファレンスを装置内クロックとして採用する。以下、同様に装置内クロックのQLがネットワークを一巡することでネッ

トワークの同期が確立する。

【0026】

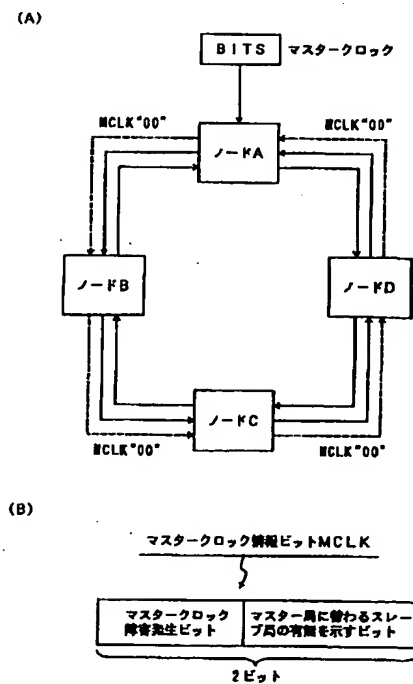
【発明の効果】本発明によれば、マスタクロック情報ビットMCLKの長さは、ネットワークのノード数に関係なく2ビットの固定長であるために、マスタ局から定期的送信されてもネットワークの負荷の増大を最小限に抑えてネットワーク同期を確立することができる。ネットワークの各ノードは、2ビットの情報によって自局のクロックをマスタクロックにするか又はラインからのクロックを採用するのかを判断することができるために、既存のSONET同期網においてネットワークの負荷を最小限に抑えながらタイミングループの発生を防止することができる。

【図面の簡単な説明】

【図1】(A)は本発明によるタイミングソース切替方法の一実施形態を適用したリングネットワークシステムの概略的構成図であり、(B)は本実施形態で使用するマスタクロック情報ビットのフォーマット図である。

【図2】マスタノードの内部構成の一例を示す概略的ブロック図である。

【図1】



【図3】本実施形態におけるマスタ局の制御を示すフローチャートである。

【図4】本実施形態におけるスレーブ局の制御を示すフローチャートである。

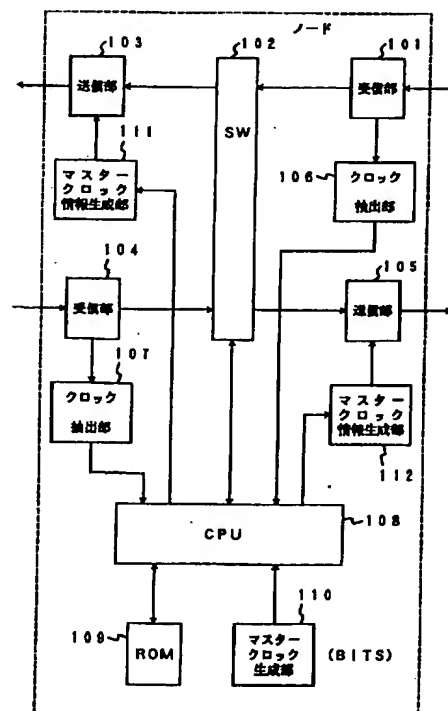
【図5】マスタ局に替わりうるスレーブ局が存在しない場合のマスタクロック情報ビットMCLKの伝送状態を示す本実施形態の動作説明図である。

【図6】マスタ局に替わりうるスレーブ局が存在する場合のマスタクロック情報ビットMCLKの伝送状態を示す本実施形態の動作説明図である。

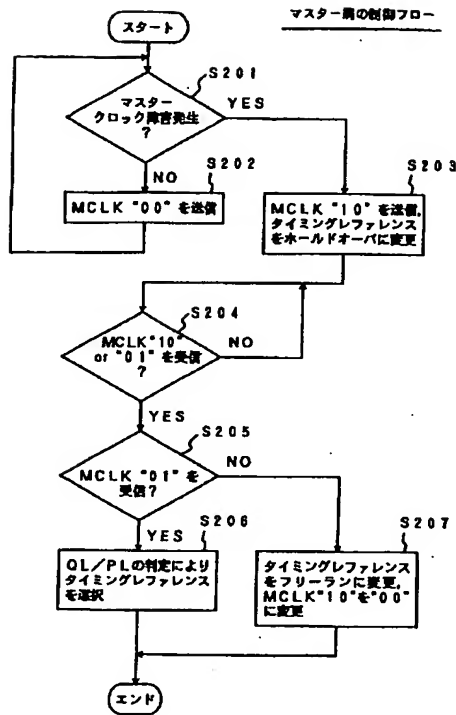
【符号の説明】

- 101 反時計回り受信部
- 102 スイッチ
- 103 反時計回り送信部
- 104 時計回り受信部
- 105 時計回り送信部
- 106 反時計回りクロック抽出部
- 107 時計回りクロック抽出部
- 108 プロセッサ
- 109 ROM
- 110 マスタクロック生成部

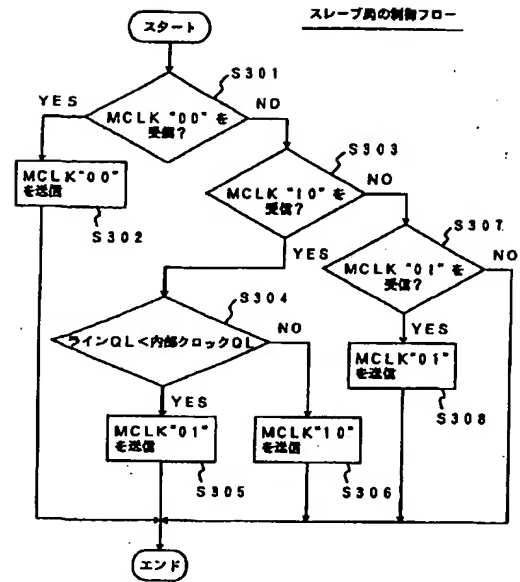
【図2】



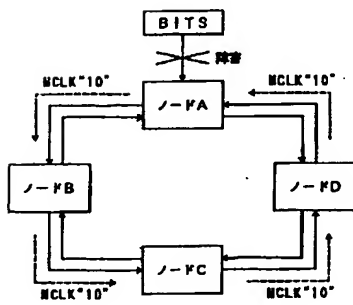
【図3】



【図4】



【図5】



【図6】

